

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 102 38 523.8

Anmeldetag: 22. August 2002

Anmelder/Inhaber: EPCOS AG, München/DE

Bezeichnung: Verkapseltes elektronisches Bauelement und Verfahren zur Herstellung

IPC: H 01 L, H 03 H

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 1. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Jerofsky

Verkapseltes elektronisches Bauelement und Verfahren zur Herstellung

Die Erfindung betrifft ein verkapseltes Bauelement, bei dem
5 zwischen einem Trägersubstrat und der aktiven Fläche eines
Chips ein Spalt vorgesehen ist, insbesondere ein mit akustischen
Wellen arbeitendes Bauelement, das ein Trägersubstrat
und einen auf der Oberseite des Trägersubstrats angeordneten
und mit diesem mittels Bumps oder anderer elektrisch leitender
10 Verbindungen elektrisch und mechanisch verbundenen Chip
enthält.

Der Chip ist auf einem Substrat, z. B. bei einem akustischen
Bauelement auf einem piezoelektrischen Substrat aufgebaut,
15 wobei die zum Trägersubstrat zugewandte Chipoberfläche, im
folgenden Unterseite genannt, elektrisch leitende Strukturen
trägt, z. B. mit akustischen Oberflächen- oder Volumenwellen
arbeitende Resonatoren.

20 Um die empfindlichen leitenden Strukturen auf dem Chip vor
Umgebungseinflüssen zu schützen, wurden bereits verschiedene
Verfahren zur einfachen Verkapselung der Bauelemente vorgeschlagen.

25 Es besteht z. B. die Möglichkeit, den Raum zwischen dem
Chiprand und dem Trägersubstrat mit einem Underfiller abzu-
dichten und eine Metallschicht auf das Bauelement aufzusput-
tern. Dieses Verfahren hat den Nachteil, daß man die leitenden
Strukturen (insbesondere akustische Wandler) auf dem Chip
30 vor dem Underfiller, beispielsweise mit einer Kunststoffkappe,
schützen muß und dazu aufwendige Verfahrensschritte
braucht.

In der DE 198 06 818 A wurde beispielsweise vorgeschlagen,
35 die Bauelemente in Flip-Chip-Anordnung auf einem Träger zu
verlöten und anschließend mit einer Folie, z. B. Laminatfolie,
abzudecken, die zwischen den Bauelementen dicht mit dem

Träger abschließt. In weiteren Variationen solcher Folienabdeckungen von Bauelementen wird auch vorgeschlagen, diese Folien durch Aufbringen einer Metallschicht über der Folie weiter hermetisch abzudichten und diese Metallisierung beispielsweise galvanisch zu verstärken. In diesem Fall handelt es sich um freistehende Bumps, die nicht durch eine Vergußmasse unterstützt sind. Da die mechanische Verbindung zwischen dem Trägersubstrat und dem Chip ausschließlich durch die Laminatfolie und die Bumps zustande kommt, müssen vor allem die Bumps die im Chip bei mechanischen Einwirkungen auftretenden Scherspannungen und/oder Zugspannungen aushalten.

Insbesondere infolge unterschiedlicher Ausdehnungskoeffizienten der Laminatfolie bzw. der Abdichtungen und der Bumps sind die Bumps bei einem starken und sprunghaften Temperaturwechsel mechanischen Verspannungen ausgesetzt, die zu Rissen, Brüchen und sogar zum Abreißen der Bumps führen können.

Aufgabe der vorliegenden Erfindung ist es, bei einem Bauelement in Flip-Chip-Bauweise mechanischen Verspannungen der elektrisch leitenden Verbindungen, insbesondere Bumpverbindungen bei extremen thermischen Belastungen vorzubeugen.

Diese Aufgabe wird erfindungsgemäß durch ein Bauelement nach Anspruch 1 gelöst. Vorteilhafte Ausgestaltungen der Erfindung sowie das Verfahren zur Herstellung des Bauelements sind weiteren Ansprüchen zu entnehmen.

Die Erfindung schlägt ein Bauelement vor, das einen Chip mit elektrisch leitenden Strukturen auf einer Oberfläche, im folgenden Chipunterseite genannt, und ein mit diesem Chip elektrisch und mechanisch verbundenes Trägersubstrat umfaßt. Das Trägersubstrat weist auf der Oberseite Anschlußflächen zum Ankontaktieren des Chips auf. Der zumindest eine Chip ist in Flip-Chip-Bauweise mit Hilfe von elektrisch leitenden Verbindungen, vorzugsweise Lötverbindungen, insbesondere Bumpverbindungen (Bumps), auf einem Trägersubstrat montiert, wobei

die Anschlußflächen des Trägersubstrats mit den elektrisch leitenden Strukturen des Chips elektrisch verbunden sind. Zwischen dem Trägersubstrat und der aktiven Fläche des Chips ist ein Spalt vorgesehen.

5

Zur Entlastung der elektrisch leitenden Verbindungen ist ein auf der Oberseite des Trägersubstrats angeordnetes Stützelement vorgesehen, welches den Chip umläuft, ohne ihn zu berühren. Das Stützelement ist vorzugsweise durch einen auf der Oberseite des Trägersubstrats angeordneten geschlossenen Rahmen, welcher den Chip umläuft, gebildet. Ferner umfaßt das erfindungsgemäße Bauelement eine Abdichtung, welche den Chip umgibt und zumindest den Raum zwischen dem Chip und dem ihn umlaufenden Stützelement dicht abschließt. Dabei stützt sich die Abdichtung am Stützelement ab.

10

15

Das Trägersubstrat des erfindungsgemäßen Bauelements kann eine oder mehrere dielektrische Schichten, beispielsweise aus einem Kunststoff, insbesondere organischem Kunststoff, Silizium, Siliziumoxid oder Keramik, insbesondere LTCC- oder HTCC-Keramik (LTCC = Low Temperature Cofired Ceramic, HTCC = High Temperature Cofired Ceramic) enthalten.

20

25

30

Die Keramik kann vorteilhaft als schrumpfarme Keramik (Non Shrinkage) ausgeführt sein. Dies garantiert beim Sintern eine nur geringe Dimensionsänderung, so daß eine in der Grünfolie vorgegebene Geometrie beim Sintern weitgehend erhalten bleibt oder zumindest in reproduzierbarer Art und Weise einen nur geringen Schrumpf durch Sinterschwund erleidet. Mit LTCC-Keramiken ist es möglich, die Grünfolien mit kostengünstigen Metallisierungen zu versehen, deren Beständigkeit gegenüber den niedrig liegenden Sintertemperaturen der LTCC-Keramik gewährleistet ist.

35 Möglich ist es jedoch auch, das Trägersubstrat als PCB (Printed Circuit Board) auszuführen, das als einschichtige oder

mehrschichtige Leiterplatte auf Kunststoffbasis ausgebildet ist.

Die dielektrischen Schichten sind voneinander durch Metallisierungs-
5 sierungsebenen getrennt, wobei die Oberseite und die Unterseite des Trägersubstrats auch Metallisierungsebenen bilden, die zumindest Anschlußflächen zum Ankontaktieren des Chips bzw. Außenkontakte zum Auflöten des Bauelements auf einem Systemträger (z. B. Leiterplatte) aufweisen. Die Metallisierungs-
10 rungsebenen enthalten z. B. elektrische Verbindungsleiter, Signaldurchführungen oder integrierte Schaltungselemente (ausgewählt aus einer Induktivität, einer Kapazität oder einer Leitung), welche auf eine an sich bekannte Weise durch Leiterbahnen oder Leiterflächen gebildet sind. Die Metallisierungs-
15 sierungsebenen sind miteinander mittels Durchkontaktierungen verbunden.

Der Chip bei dem erfindungsgemäßen Bauelement umfaßt ein Trägersubstrat, das eine oder mehrere dielektrische Schichten
20 enthalten kann, welche durch Metallisierungsebenen voneinander getrennt sind, wobei die Oberseite oder die Unterseite des Trägersubstrats auch eine Metallisierungsebene darstellt. Die Struktur der Metallisierungsebenen und ihre Verbindung miteinander sind wie oben beschrieben. Das Substrat kann z.
25 B. eine oder mehrere Schichten aus Kunststoff, Silizium oder Siliziumoxid enthalten. Die als die Metallisierungsebene vorgesehene Chipseite kann zumindest eine passive, nichtlineare oder aktive Bauelement-Struktur aufweisen, insbesondere eine Diode oder einen Transistor.

30

Das erfindungsgemäße Bauelement kann insbesondere ein mit akustischen Wellen arbeitendes Bauelement sein, bei dem der Chip ein Substrat mit zumindest einer piezoelektrischen Schicht umfaßt, wobei eine Chipseite (z. B. die Chipunterseite)
35 te) zumindest einen Oberflächenwellen-Wandler oder einen Volumenwellen-Resonator aufweist. Das Substrat kann wie oben

beschrieben mehrere dielektrische Schichten und Metallisierungsebenen enthalten.

Das erfindungsgemäße Bauelement kann außerdem ein MEMS-Bauelement (MEMS= Microelectromechanical System, MOEMS= Micro Optoelectromechanical System) oder ein Halbleiter-Bauelement, insbesondere eine integrierte Schaltung auf der Halbleiter-Basis sein.

10 Die Abdichtung kann aus einem dielektrischen Material, insbesondere aus einer Vergußmasse, z. B. Harz, Glob-Top, Underfiller, Kleber oder einem Kunststoff, insbesondere einem organischen Kunststoff, einem Metallot, Glaslot oder einer Laminatfolie sein.

15

Die Abdichtung bedeckt zumindest teilweise die Seitenflächen des Chips und die Teilbereiche des ihn umlaufenden Stützelements und kann dabei den Raum zwischen den Seitenflächen des Chips und des Stützelements teilweise oder vollständig ausfüllen.

20

In einer vorteilhaften Ausführungsform ist die Abdichtung als dielektrische Schicht ausgebildet, welche zusätzlich die Chipoberseite überdeckt. Die dielektrische Schicht kann durch eine Vergußmasse, z. B. Harz oder eine Kunststoffschicht, insbesondere eine Schicht aus einem organischen Kunststoff oder einem Glaslot oder durch eine Laminatfolie gebildet sein.

25

30 Die dielektrische Schicht kann aus einer oder mehreren Schichten bestehen, welche beispielsweise verschiedene Funktionen realisieren. Es ist vorteilhaft, wenn eine der genannten Schichten eine besonders geringe Feuchtigkeitsaufnahme oder eine gute Gasdichtigkeit aufweist. Dafür sind insbesondere Schichten aus einem LCP-Material (Liquid Crystal Polymer) geeignet. Es ist zweckmäßig, insbesondere bei einer als Folie realisierten dielektrischen Schicht, die schlecht am

35

Trägersubstrat bzw. Chip haftet, eine zusätzliche Haftvermittlungsschicht vorzusehen. Als oberste Schicht im Schichtaufbau der dielektrischen Schicht kann eine zusätzliche Schicht angeordnet werden, die insbesondere für die Laserschriftung geeignet ist. Es ist möglich, daß eine der Schichten im Schichtaufbau der dielektrischen Schicht zusätzlich zum Auffüllen der Zwischenräume zwischen den Chips auf einem großflächigen Trägersubstrat (Panel) geeignet ist. Diese Schicht kann mit einer Vergußmasse realisiert werden.

10

Möglich ist auch, daß die genannte Abdichtung mit einer oder mehreren der genannten dielektrischen Schichten kombiniert ist.

15 Es ist möglich, daß die dielektrische Schicht das Stützelement und den Chip vollständig überdeckt und erst außerhalb des Stützelementes mit dem Trägersubstrat abschließt. Zwischen dielektrischer Schicht und der Oberseite des Trägersubstrats ist ein Hohlraum ausgebildet, in welchem der Chip und
20 das ihn umlaufende Stützelement gemeinsam eingeschlossen sind. Dabei kann das Stützelement aus einem hermetisch dichten oder einem nicht hermetisch dichten Material sein.

25

In einer weiteren vorteilhaften Ausführungsform ist die Abdichtung als dielektrische Schicht ausgebildet, welche den Chip vollständig überdeckt und mit dem Stützelement dicht abschließt, wobei die Außenseite des Stützelementes von der Abdichtung nicht abgedeckt ist. Dabei ist das Stützelement sinngemäß aus einem hermetisch dichten Material und kann einen Teil der Seitenwand des erfindungsgemäßen Bauelements bilden.

30

Beim bevorzugten Verfahren zur Herstellung eines erfindungsgemäßen Bauelements wird das mit mehreren Chips bestückte
35 großflächige Trägersubstrat (Panel) bei einer vergleichsweise hohen Temperatur mit einer Kunststoffolie laminiert, die beim

Abkühlen über dem Chip und dem ihn umlaufenden Stützelement aufgespannt wird.

5 Ist das Bauteil in diesem Zustand noch nicht hermetisch verschlossen, wird durch eine weitere Schicht die Hermetizität hergestellt. Dazu muß die hermetische Schicht, z. B. eine Cu-Schicht, im Bereich zwischen den Einbauplätzen der Chips mit dem Stützelement oder mit dem Trägersubstrat abschließen. Aus diesem Grund wird die dielektrische Schicht an diesen Stellen
10 entfernt.

Möglich ist es auch, die hermetische Schicht am Rand des Bauelements in einem (ringförmig) geschlossenen Streifen direkt mit der Oberfläche des Trägersubstrates abschließen zu lassen, wobei mehrere oder alle Chips des Bauelements innerhalb
15 dieses geschlossenen Streifens angeordnet sind. In diesem Fall liegt die hermetische Schicht zwischen den Chips auf dem Stützelement auf und die Chips des Bauelements sind nicht individuell, sondern kollektiv hermetisch dicht verkapselt.

20 Es ist möglich, daß das erfindungsgemäße Bauelement mehrere gleiche oder unterschiedliche Chips mit passiven oder aktiven Komponenten umfaßt, welche auf der Oberseite des Trägersubstrats angeordnet sind und auf die gleiche Art verkapselt
25 sind.

Es ist möglich, daß das Bauelement außerdem eine oder mehrere diskrete Komponenten, z. B. ausgewählt aus einem Kondensator, einem Widerstand oder einer Spule, umfaßt.

30 Die Herstellung der als Bumps ausgeführten elektrisch leitenden Verbindungen gelingt mit verschiedenen Verfahren. In herkömmlicher Weise können die Bumps über den Anschlußflächen durch galvanische Abscheidung erzeugt werden, beispielsweise
35 durch Abscheidung von SnPb, SnAg, SnCu, SnAgCu oder SnAu. An die galvanische Abscheidung kann sich ein Umschmelzen an-

schließen, was zur Ausbildung der entsprechenden Legierung führt.

5 Möglich ist es auch, in herkömmlicher Weise die Bumps mittels Sieb- oder Schablonendruck von Lotpaste zu erzeugen und anschließend einen Reflowprozeß durchzuführen, bei dem die Bumps ihre kugelförmige Geometrie erhalten.

10 Auch ist es möglich, die Bumps durch gerichtetes Stanzen von Zylindern aus Lotfolie über den Durchkontaktierungen der obersten Schicht des Trägersubstrats zu erzeugen.

Alternativ können die Bumps auch auf den lötfähigen Metallisierungen auf der Chipunterseite erzeugt werden. Dies kann
15 beispielsweise ebenfalls durch galvanische Abscheidung über den entsprechenden Metallisierungen erfolgen. Auch ein Solder-Jet-Verfahren ist möglich. Ferner ist Schablonendruck von Lotdepots auf den Metallisierungen und ein anschließender Umschmelzprozeß möglich. Da auch hier die Benetzbarkeit der
20 lötfähigen Metallisierungen die Strukturierung erleichtert, kann eine unterschiedliche Benetzbarkeit von metallischen Strukturen zur Strukturierung der Bumps auf dem Chip bzw. im Wafer-Stadium verwendet werden. Beispielsweise ist es möglich, einen Großteil der auf dem Chip (der Chipunterseite)
25 befindlichen Metallisierungen zu passivieren, beispielsweise durch Erzeugen einer anodischen Oxidschicht, die zusätzlich noch mit einer aufgetragenen mineralischen Schicht, beispielsweise einer dünnen Siliziumoxidschicht oder einer dünnen Siliziumnitridschicht abgedeckt sein kann. Die nicht von
30 dieser Passivierung bedeckten Flächen bleiben dann mit Lot benetzbar oder speziell durch geeignete weitere Schichten, sogenannte Underbumpmetallisierungen - UBM - mit Lot benetzbar gemacht werden, während die passivierten Oberflächen der Metallisierung die Lötstopmmaske darstellen.

35

Das auf dem Trägersubstrat angeordnete Stützelement umschließt einen Innenraum, der den Ort zur Aufnahme des Chips

darstellt und geometrisch definiert. Das Stützelement kann dabei bis über das Niveau der Chip-Unterkante oder -Oberkante reichen. Möglich ist es jedoch auch, daß das Stützelement niedriger als die Chip-Unterkante ist.

5

Als erhabene Struktur ist das Stützelement aus Kunststoff, Lot oder Metall gebildet und kann integriert mit anderen Komponenten oder Strukturen des Trägersubstrats erzeugt werden. Ein aus Metall bestehendes oder mit einer Metallisierung versehenes Stützelement hat den Vorteil, daß die Metallisierung einen guten Kontakt, Haftung und Benetzung zur Abdichtung oder dielektrischen Schicht schafft, so daß eine hermetische Abdichtung des gesamten Bauelements und insbesondere der leitenden Strukturen auf der Unterseite des Chips gewährleistet ist. Möglich ist es jedoch auch, daß die Oberfläche des Stützelementes keine Metallisierung aufweist.

10

15

Das Stützelement kann ferner aus einem keramischen Material oder einem Kunststoff, bevorzugt aus einem Kunststoff mit einer sehr geringen Wasseraufnahmefähigkeit (z. B. hochgefüllten Kunststoff oder Flüssigkristall-Polymer) sein.

20

25

30

35

Das Stützelement kann ferner mit bzw. über lötfähigen Metallisierungen erzeugt werden. Zunächst wird eine Metallisierung auf dem Trägersubstrat an den für das Stützelement vorgesehenen Stellen erzeugt, beispielsweise in einem Sputterprozeß. Das Stützelement kann dann durch galvanische Verstärkung dieser Metallisierung erzeugt werden. Dabei kann zunächst eine Schichtenfolge Titan (für die bessere Haftung) und Kupfer erzeugt werden. Eine ausreichende Dicke dieser Schicht kann bereits durch Sputtern erzielt werden, beispielsweise 100 bis 200 nm Titan und mehr als 6 μm Kupfer. Möglich ist es jedoch auch, eine dünne Titan/Kupferschicht zu erzeugen (0,1 bis 2 μm Kupfer) und diese anschließend galvanisch zu verstärken. Vorzugsweise erfolgt eine Strukturierung des Stützelementes mit Hilfe einer Photoresistmaske durch strukturiertes Auf-sputtern. Die Maske kann auch so ausgebildet sein, daß sie

während des galvanischen Aufdickprozesses auf dem Trägersubstrat verbleiben kann.

Es ist möglich, daß für jeden auf der Oberseite des Trägersubstrats angeordneten Chip das Stützelement in der Form eines individuellen Rahmens vorgesehen ist. Es ist außerdem möglich, daß das Stützelement als ein Rahmen aus einem soliden Block mit Ausnehmungen für jeden Chip ausgebildet ist.

10 Die Verwendung des den Chip umlaufenden Stützelementes bei der Verkapselung des Bauelements mit Hilfe einer Abdichtung hat den Vorteil, daß auf die elektrisch leitenden Verbindungen einwirkende mechanische Kräfte, welche insbesondere bei thermischer Belastung auftreten und zu Rissen führen können, 15 durch das Abstützen der Abdichtung am Stützelement reduziert werden, was zur mechanischen Entlastung der elektrisch leitenden Verbindungen beiträgt.

Die der Erfindung zugrunde liegende Aufgabe, eine Überbelastung der elektrisch leitenden Verbindungen zu vermeiden, 20 wird außerdem durch ein weiteres Bauelement gelöst. Es wird ein Chip vorgeschlagen, mit elektrisch leitenden Strukturen auf der Chipunterseite, und einem Trägersubstrat, welches auf der Oberfläche Anschlußflächen aufweist, wobei der Chip in 25 Flip-Chip-Bauweise mittels elektrisch leitender Verbindungen auf dem Trägersubstrat montiert ist und wobei die Anschlußflächen mit den elektrisch leitenden Strukturen des Chips mittels elektrisch leitender Verbindungen elektrisch verbunden sind. Auf der Chipoberseite ist eine Abdeckung, insbesondere ein Verbund aus einer dielektrischen Schicht und einer 30 darüber liegenden Metallschicht angeordnet, wobei dieser Verbund rund um den Chip außerhalb der Chipfläche mit dem Trägersubstrat abschließt. Zur Entlastung der elektrisch leitenden Verbindungen (vorzugsweise Bumps) ist bei dem Bauelement 35 die Chipdicke so ausgewählt, daß die durch thermische Ausdehnung des genannten Verbundes auftretenden Kräfte im Tempera-

turbereich zwischen -60°C und 85°C pro elektrisch leitende Verbindung (pro Bump) maximal 2 Newton betragen.

Die Erfinder haben gefunden, daß eine auf eine elektrisch
5 leitende Verbindung, insbesondere einen Bump wirkende Kraft
ab 2 Newton zur Entstehung von Bumprissen führt, was erfindungsgemäß nun durch geeignete Wahl der Schichtdicke vermieden wird. Bei gängigen Chipgrößen und dazu verwendeten Bump-
anordnungen ist dazu in der Regel eine Reduzierung der Chip-
10 dicke nötig. Mit dieser vorteilhaften Ausführungsform des erfindungsgemäßen Bauelements wird die gewünschte Entlastung der elektrisch leitenden Verbindungen (Bumps) ohne Stützelement erzielt, was den entsprechenden Verfahrensschritt zur Aufbringung des Stützelementes auf dem Trägersubstrat erspart.
15

In einer weiteren vorteilhaften Ausführungsvariante der Erfindung wird vorgeschlagen, eine dielektrische Schicht aus Polymermaterial mit einem Elastizitätsmodul unter 1 GPa oder
20 eine dünne Folie, deren Dicke kleiner als $20\text{ }\mu\text{m}$ beträgt, zu verwenden. Bei den genannten Materialien ist bei Temperaturwechsel die Verformung der elektrisch leitenden Verbindung dadurch minimiert, daß die Verformung nicht im Lot bzw. in den elektrisch leitenden Verbindungen, sondern zu einem großen Teil in der dielektrischen Schicht bzw. in der Folie auftritt.
25

Alternativ kann eine dielektrische Schicht bzw. eine Folie verwendet werden, die einen kleinen thermischen Ausdehnungskoeffizienten aufweist oder bei der der thermische Ausdehnungskoeffizient durch Beimischung eines anorganischen Füllstoffs reduziert wird. Vorzugsweise wird eine dielektrische Schicht mit einem thermischen Ausdehnungskoeffizienten verwendet, welcher demjenigen des Lotes bzw. des Materials der
30 elektrisch leitenden Verbindungen entspricht. Möglich ist es auch, daß der thermische Ausdehnungskoeffizient des Materials der dielektrischen Schicht zwischen $\alpha_{\text{Bump}}/2$ und $2\alpha_{\text{Bump}}$ ausge-
35

wählt ist. Damit eine Strukturierung solcher dielektrischen Schichten bzw. Folien mit Füllstoffen möglich ist, werden vorzugsweise Partikel verwendet, deren Durchmesser kleiner als 1 μm ist.

5

In einer weiteren Ausführungsvariante der Erfindung wird außerdem ein Bauelement vorgeschlagen, das einen Chip mit elektrisch leitenden Strukturen auf der Chipunterseite und ein Trägersubstrat, welches auf der Oberfläche Anschlußflächen aufweist, enthält, wobei der Chip in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen auf dem Trägersubstrat montiert ist und wobei die Anschlußflächen mit den elektrisch leitenden Strukturen des Chips mittels elektrisch leitender Verbindungen elektrisch verbunden sind. Das erfindungsgemäße Bauelement enthält außerdem ein auf der Oberseite des Trägersubstrats angeordnetes als Schrumpfraumen ausgebildetes Stützelement, welcher den Chip umläuft und diesen dicht umschließt. Diese vorteilhafte Ausführungsform der Erfindung hat den Vorteil, daß der Schrumpfraumen den zu verkapselnden Chip gleichzeitig mechanisch unterstützt und diesen dicht mit dem Trägersubstrat abschließt, so daß in diesem Fall im Prinzip keine weitere Abdichtung notwendig ist. Ist der Schrumpfraumen nicht ausreichend gasdicht, kann die Hermetizität des Bauteils durch eine zusätzliche hermetisch dichte Schicht, vorzugsweise durch eine Metallschicht hergestellt werden.

Die der Erfindung zugrunde liegende Aufgabe wird außerdem durch ein Verfahren mit folgenden Schritten gelöst:

- zumindest zwei elektrisch leitende Strukturen tragende Chips werden auf einem Trägersubstrat, welches auf der Oberfläche Anschlußflächen zur elektrischen Verbindung mit den elektrisch leitenden Strukturen des Chips aufweist, in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen befestigt,
- die zumindest zwei Chips werden mit einer dielektrischen Schicht, welche auf der Chipoberseite aufliegt und mit dem Trägersubstrat abschließt, überdeckt, so daß jeder

der zumindest zwei Chips auf diese Weise individuell verkapselt wird,

- der Zwischenraum zwischen den zumindest zwei Chips wird mit einer Vergußmasse gefüllt.

5

Es ist möglich, auf der dielektrischen Schicht eine Metallschicht aufzutragen, die mit der dielektrischen Schicht einen Verbund bildet, und die Vergußmasse dann auf dem Verbund aus der dielektrischen Schicht und der Metallschicht außerhalb des Chips aufzutragen und gegebenenfalls zu härten. Das Trägersubstrat kann anschließend zersägt werden, so daß einzelne Bauelemente entstehen, welche zumindest einen der genannten Chips umfassen.

10

- 15 In diesem vorteilhaften Verfahren zur Herstellung eines erfindungsgemäß verkapselten Bauelements wird die Entlastung der elektrisch leitenden Verbindungen mit einem äußeren, über dem Verbund angeordneten und durch die Vergußmasse gebildeten Stützelement erzielt (durch seitliche Stützfunktion). Gegen-
- 20 über dem entsprechenden Verfahrensschritt der Aufbringung eines strukturierten "inneren" Stützelementes auf dem Trägersubstrat stellt dies eine Verfahrenserleichterung dar.

25

Im folgenden wird die Erfindung und insbesondere das Verfahren zur Herstellung eines erfindungsgemäßen Bauelements anhand von Ausführungsbeispielen und der dazugehörigen schematischen und daher nicht maßstabsgetreuen Figuren näher erläutert.

- 30 Figur 1 zeigt ein erfindungsgemäß verkapseltes Bauelement mit einem Trägersubstrat, einem aufgesetzten Chip, einer dielektrischen Schicht und einem Stützelement im schematischen Querschnitt

- 35 Figur 2 zeigt eine vorteilhafte Ausführungsform des erfindungsgemäß verkapselten Bauelements mit dem Stütze-

lement aus einem hermetisch dichten Material im schematischen Querschnitt

5 Figuren 3 und 4 zeigen vorteilhafte Ausführungsformen des erfindungsgemäß verkapselten Bauelements im schematischen Querschnitt

10 Figuren 5a und 5b zeigen ein erfindungsgemäßes Bauelement mit einer Vergußmasse zwischen den verkapselten Chips im schematischen Querschnitt

15 Figur 6a und 6b zeigt ein erfindungsgemäßes Bauelement mit einem gedünnten Chip im schematischen Querschnitt (im Normalzustand und bei einer wesentlich niedrigeren Temperatur)

20 Figur 6c zeigt eine beispielhafte Anordnung der elektrisch leitenden Verbindungen des gedünnten Chips im erfindungsgemäßen Bauelement im schematischen Querschnitt parallel zur Chipoberfläche

25 Figuren 7a bis 7c zeigen aufeinanderfolgende Prozeßschritte bei der erfindungsgemäßen Verkapselung des Bauelements mit einem Chip mit angeschrägten Seitenflächen und einem Lotrahmen

30 Figur 1 zeigt ein Trägersubstrat TS mit aufgesetztem Chip CH und einem Stützelement SE im schematischen Querschnitt. Das Bauelement umfaßt den auf dem Trägersubstrat TS in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen BU montierten Chip CH und ein auf der Oberseite des Trägersubstrats angeordnetes Stützelement SE, das den Chip umläuft.

35 Im erfindungsgemäßen Bauelement liegt der Chip auf dem Stützelement nicht auf.

Der Chip und das Stützelement zusammen sind mit einer als dielektrische Schicht ausgebildeten Abdichtung AB überdeckt. In diesem Ausführungsbeispiel ist auf die dielektrische Schicht AB zusätzlich eine Metallschicht ME aufgetragen. Die
5 Metallschicht dient zur Abschirmung der signalführenden Chip-Strukturen vor elektromagnetischen Störungen sowie zur Herstellung der Hermetizität.

10 Die Chipoberseite kann zusätzlich mit einer durchgehenden Metallisierung oder mit einer Schicht, z. B. Klebeschicht, welche eine bessere Haftung der dielektrischen Schicht AB ermöglicht, versehen werden.

Das Trägersubstrat TS enthält eine oder mehrere dielektrische
15 Schichten, wobei auf dessen Oberseite, Unterseite und ggf. zwischen zwei dielektrischen Schichten Metallisierungsebenen ML vorgesehen sind. Die Oberseite des Trägersubstrats weist insbesondere Anschlußflächen AF auf, die mit den elektrisch leitenden Strukturen des Chips elektrisch verbunden sind. Die
20 Unterseite des Trägersubstrats weist insbesondere Außenkontakte AK (z. B. SMD-fähige Kontakte, SMD = Surface Mounted Device) auf. Die Außenkontakte sind mit den Anschlußflächen und ggf. den Metallisierungsebenen ME mittels Durchkontaktierungen DK verbunden. Die Metallisierungsebenen des mehr-
25 schichtigen Trägersubstrats können durch Leiterbahnen und Metallflächen gebildete integrierte Schaltungselemente enthalten, ausgewählt z.B. aus einer Kapazität, einer Induktivität, einer Leitung oder einem Leitungsabschnitt.

30 Der Chip CH enthält beispielsweise ein piezoelektrisches Substrat, dessen eine Oberfläche (Unterseite) Metallisierungen eines Oberflächenwellenbauelements und/oder zumindest einen FBAR (Thin Film Bulk Acoustic Wave Resonator), im folgenden Bauelementstrukturen genannt, trägt. Der Chip kann außerdem
35 ein mehrschichtiges Substrat mit integrierten Schaltungselementen sein. Es ist möglich, daß die Chipoberseite metalli-

siert ist, z. B. durch eine Cu-Sputterschicht, die galvanisch verstärkt ist.

Die im Trägersubstrat integrierten Schaltungselemente können für sich oder zusammen mit den auf dem Chip oder im Chip angeordneten Bauelementstrukturen oder Schaltungselementen zumindest einen Teil folgender Schaltungen bilden: eines Hochfrequenz-Schalters, einer Anpaßschaltung, eines Antennenschalters, eines Diodenschalters, eines Transistorschalters, eines Hochpaßfilters, eines Tiefpaßfilters, eines Bandpaßfilters, eines Bandsperrfilters, eines Leistungsverstärkers, eines Vorverstärkers, eines LNAs, eines Diplexers, eines Duplexers, eines Kopplers, eines Richtungskopplers, eines Speicherelements, eines Baluns, eines Mischers oder eines Oszillators.

Der Ausdehnungskoeffizient des Stützelementes α_{Rahmen} ist vorzugsweise ungefähr dem Ausdehnungskoeffizienten der elektrisch leitenden Verbindungen α_{Bump} gleich und ist kleiner als der Ausdehnungskoeffizient der Abdeckung $\alpha_{\text{Abdeckung}}$. Die Höhe des Stützelementes über der Oberfläche des Trägersubstrats kann z. B. ungefähr gleich oder größer als die Höhe der elektrisch leitenden Verbindung oder die Bumphöhe sein. Es ist sinnvoll, die Höhe des Stützelementes h so auszuwählen, daß sie mit dem Abstand g zwischen der Oberseite des Trägersubstrats und dem Auflagepunkt der Folie am Chip folgendermaßen verbunden ist:

$$h \approx g \frac{\alpha_{\text{Bump}} - \alpha_{\text{Abdeckung}}}{\alpha_{\text{Rahmen}} - \alpha_{\text{Abdeckung}}}.$$

Ferner ist es möglich, daß die Höhe des Stützelementes im gesamten spezifizierten Temperaturbereich (z. B. -60°C ... $+85^{\circ}\text{C}$) kleiner als die Höhe der elektrisch leitenden Verbindung (oder Bumphöhe) bei der gleichen Temperatur ist. In diesem Fall kann die Breite des Stützelementes so ausgewählt werden, daß die innere Kante des Stützelementes wie in Figur

1 dargestellt außerhalb der vom Chip bedeckten Fläche liegt
oder unter den Chip reicht.

5 Möglich ist auch, daß die Höhe des Stützelementes größer,
gleich oder kleiner als der Abstand zwischen der Chipobersei-
te (oder der Chipunterseite) und der Oberseite des Trägersub-
strats ist.

10 Das Stützelement SE folgt vorzugsweise der äußeren Form des
Chips CH und ist daher insbesondere (in der Draufsicht)
rechteckig ausgebildet.

15 Das Stützelement kann aus Metall, Lot, Keramik oder Kunst-
stoff bestehen. Das aus Kunststoff bestehende Stützelement
kann beispielsweise aus einem Photolack erzeugt werden oder
mit Hilfe einer Photolithographie oder eines Lasers aus einer
anderen Schicht strukturiert werden. Das Stützelement aus Me-
tall kann durch Siebdruck oder galvanisch erzeugt werden.

20 Da in diesem Beispiel eine hermetische Verkapselung des Chips
im Bauelement dadurch erreicht wird, daß sowohl die dielek-
trische Schicht der Abdichtung AB als auch die Metallschicht
ME außerhalb des Stützelementes mit dem Trägersubstrat ab-
schließt, ist es möglich, daß das Stützelement aus einem
25 nicht hermetisch dichten Material besteht.

Das Stützelement kann einseitig mit einer Klebeschicht, Glas-
lot oder einer lötfähigen Schicht, z. B. aus Metallot, verse-
hen sein, damit das Stützelement an der Oberseite des Träger-
30 substrats befestigt werden kann.

Es ist möglich, daß das Stützelement fest mit dem Trägersub-
strat verbunden ist oder einen Bestandteil des Trägersub-
strats bildet, wobei das Stützelement und das Trägersubstrat
35 aus dem gleichen Material sein und z. B. gleichzeitig herge-
stellt werden können.

Die Bumps können galvanisch, durch Solder-Jet-Verfahren (z. B. Laserbumping), Studbumping oder durch Drucken erzeugt werden. Alternativ dazu kann auch ein anisotrop leitender Kleber eingesetzt werden, der z. B. auf die Oberseite des Trägersubstrats aufgebracht wird. In diesem Fall müssen signalleitende Strukturen (auf der Chipseite) eventuell geschützt werden, z. B. durch eine Schutzkappe oder eine Schutzschicht.

10 In Figur 2 ist eine weitere vorteilhafte Ausführungsform des erfindungsgemäßen Bauelements dargestellt. Im Gegensatz zu dem in der Figur 1 vorgestellten Ausführungsbeispiel schließt die dielektrische Schicht AB nicht mit dem Trägersubstrat TS, sondern nur mit dem Stützelement SE ab. Dabei bedeckt die dielektrische Schicht AB nur einen Teil des Stützelementes, 15 so daß die Metallschicht ME mit dem von der dielektrischen Schicht nicht bedeckten Bereich des Stützelementes abschließt. Da das Stützelement SE hier einen Teil der Seitenwand des Bauelements darstellt, so wird eine hermetische Verkapselung des Chips im Bauelement in diesem Fall nur gewährleistet, wenn das Stützelement aus einem hermetisch dichten 20 Material (z. B. Keramik, Metall oder Lot) besteht.

Das in der Figur 3 gezeigte Ausführungsbeispiel entspricht der Figur 2, wobei das Stützelement SE hier Bestandteil des Trägersubstrats TS sein kann. In diesem Beispiel ist die Höhe des Stützelementes ungefähr gleich dem Abstand zwischen der Chipoberseite und der Oberseite des Trägersubstrats. Es ist auch möglich, daß die Höhe des Stützelementes größer oder 25 kleiner als der Abstand zwischen der Chipoberseite und der Oberseite des Trägersubstrats ist. 30

Es ist möglich, daß die als dielektrische Schicht ausgebildete Abdichtung AB durchgehend ist und insbesondere die Oberfläche des Stützelementes vollständig bedeckt. Dies hat den 35 Vorteil, daß eine solche Schicht besonders einfach aufgetragen werden kann. Wenn die dielektrische Schicht dabei einen

hermetischen Abschluß gewährt, so kann auf die Metallschicht ME verzichtet werden.

Im in der Figur 4 dargestellten Ausführungsbeispiel ist der
5 Raum zwischen dem Chip CH und dem Stützelement SE mit der Abdichtung AB abgedichtet. Die Abdichtung bedeckt in diesem Fall nur die einander benachbarten bzw. direkt gegenüberliegenden Randbereiche auf der Oberseite des Chips und des Stützelements.

10

Die Abdichtung kann aus Glaslot oder Vergußmasse (z. B. Klebmasse oder Harz) sein. In diesem Fall ist es sinnvoll, zur Abschirmung des Chips eine Metallschicht ME so aufzubringen, daß sie die Chipoberseite, die Abdichtung und die von der Ab-
15 dichtung unbedeckte Oberfläche des Stützelementes überdeckt.

Es ist möglich, daß die Chipoberseite und die Oberfläche des Stützelementes schon vor dem Aufbringen der Abdichtung metallisiert sind und die Abdichtung aus Lot besteht. In diesem
20 Fall kann auf die durchgehende Metallschicht, welche insbesondere die Abdichtung überdeckt, verzichtet werden.

In Figur 5a ist eine vorteilhafte Ausführungsform der Erfindung ohne Stützelement dargestellt. Der Chip CH ist auf einem großflächigen Trägersubstrat TS (Panel) angeordnet und wie in
25 der Figur angedeutet von weiteren (gleichen oder unterschiedlichen) Chips umgeben. Jeder Chip gehört beispielsweise zu einem Einbauplatz auf dem Panel. Dabei sind die Chips auf die gleiche Art mit einer dielektrischen Schicht AB verkapselt.
30 Da die dielektrische Schicht AB in der Regel keinen hermetischen Abschluß ermöglicht, wird durch eine weitere hermetische Schicht ME die Hermetizität hergestellt. Dazu soll die hermetische Schicht, insbesondere eine Metallschicht, z. B. eine Cu-Schicht, welche mit der dielektrischen Schicht einen
35 Verbund bildet, im Bereich zwischen den Einbauplätzen mit dem Trägersubstrat abschließen. Aus diesem Grund wird die dielektrische Schicht an diesen Stellen entfernt.

Die Entlastung der elektrisch leitenden Verbindungen wird hier dadurch erreicht, daß die Zwischenräume zwischen den verkapselten Chips mit einer Vergußmasse VM (z. B. Harz oder
5 Glob-Top) mit einem geeigneten Ausdehnungskoeffizient zumindest teilweise ausgefüllt werden. Das Material und die Höhe dieser Füllung werden so ausgewählt, daß der (verglichen mit dem der Ausdehnungskoeffizienten der elektrisch leitenden Verbindungen) höhere Ausdehnungskoeffizient der dielektri-
10 schen Schicht AB kompensiert wird, und daß der Ausdehnungskoeffizient des Verbunds der Vergußmasse, der dielektrischen Schicht und der Metallschicht ME im Bereich zwischen der Oberseite des Trägersubstrats und der Chipunterkante an den Ausdehnungskoeffizienten der elektrisch leitenden Verbindun-
15 gen angepaßt ist. Nach dem Aushärten der Vergußmasse VM kann das großflächige Trägersubstrat mit den darauf an entsprechenden einzelnen Einbauplätzen angeordneten Chips in einzelne Bauteile vereinzelt und insbesondere zersägt werden. Die vereinzelt Bauteile können einen Chip oder mehrere Chips
20 enthalten.

In dem in Figur 5b gezeigten Ausführungsbeispiel sind die Chips wie oben beschrieben verkapselt und auf dem großflächigen Trägersubstrat TS angeordnet, wobei das Trägersubstrat
25 später in einzelne Bauteile zerteilt, beispielsweise zersägt wird. In Figur 5b wird die Entlastung der elektrisch leitenden Verbindungen wie in Figur 5a durch die Vergußmasse VM und zusätzlich durch das Stützelement SE erreicht.

30 In einem bevorzugten Ausführungsbeispiel wird die Vergußmasse VM bis zur Chipoberkante aufgefüllt, um ein (nach dem Vereinzeln durch Zersägen) quaderförmiges Bauelement zu erhalten, welches bei der späteren SMD-Montage leicht bestückt werden kann.

35

In Figuren 6a und 6b ist eine weitere vorteilhafte Ausführungsform der Erfindung gezeigt.

Bei einem sprunghaften Temperaturwechsel erfahren der Chip, das Trägersubstrat, die dielektrische Schicht, die Metallschicht und die elektrisch leitenden Verbindungen (z. B. Bumps) unterschiedliche Ausdehnungen aufgrund der unterschiedlichen und z. T. auch richtungsabhängigen thermischen Ausdehnungskoeffizienten. Die auftretenden mechanischen Spannungen, insbesondere die Scherspannungen, müssen vor allem die elektrisch leitenden Verbindungen (Bumps) aushalten. Die Simulation des erfindungsgemäßen Bauelements zeigt, daß in einem Bump mit dem Durchmesser von ca. 180 µm ab einer auf ihn wirkenden Scherkraft von etwa 2 N Risse hervorgerufen werden, die zur Beeinträchtigung der Funktion des Bauelements und sogar zum Abriß des Bumps von der UBM (Außenelektroden AE auf der Seite des Chips bzw. Anschlußflächen AF auf der Seite des Trägersubstrats) führen können.

Es ist möglich, die Temperaturwechselbeständigkeit des erfindungsgemäßen Bauelements zu erhöhen, indem die Chipdicke entweder so gering ausgewählt wird oder durch Dünnen des Chips dermaßen reduziert wird, daß die für das Durchbiegen des Chips CH notwendige Kraft im ganzen spezifizierten Temperaturbereich (z. B. -60°C bis +85°C) deutlich kleiner ist als die für einen Abriss der elektrisch leitenden Verbindungen BU von der UBM bzw. der Anschlußfläche AF oder die für die Entstehung von Bumpissen ausreichende Kraft (z. B. 2 N pro Bump). Der genaue Wert der Chipdicke hängt vom Verhältnis der Ausdehnungskoeffizienten der dielektrischen Schicht AB und der Metallschicht ME, des Chips CH, der elektrisch leitenden Verbindungen BU, des Trägersubstrats TS und von geometrischen Faktoren (z. B. Chipgröße, Größe der elektrisch leitenden Verbindungen oder der Abstand zwischen den elektrisch leitenden Verbindungen) ab und kann per Simulation ermittelt werden.

35

In einem vorteilhaften in Figur 6c gezeigten Ausführungsbeispiel ist der Chip CH1 aus Lithiumtantalat (mit einem rich-

tungsabhängigen thermischen Ausdehnungskoeffizienten von ca. 7,0 - 14,3 ppm/K) der Breite $a = 1,2$ mm und der Länge $b = 1,8$ mm mit einem hier nicht dargestellten Trägersubstrat der Breite 2 mm und der Länge 2,5 mm (mit dem thermischen Ausdehnungskoeffizienten von 6,3 ppm/K) mittels sechs Bumps BU1 aus SnAg(3,5)Cu(0,8) (mit einem thermischen Ausdehnungskoeffizienten von 20,0 ppm) der Höhe 50 µm verbunden. Die Bumps sind im gleichen Abstand in zwei parallelen Reihen zu je 3 Bumps entlang der längeren Chipkante angeordnet. Der Abstand $L1$ der Bumps in einer Reihe beträgt 800 µm. Der Abstand $L2$ zwischen den Reihen beträgt 900 µm. Die Abdeckung des Chips besteht aus einer 50 µm dicken Folie (mit einem thermischen Ausdehnungskoeffizienten von 130,0 ppm/K im relevanten Temperaturbereich) und einer darüber angeordneten 20 µm dicken Cu-Schicht, die einen Ausdehnungskoeffizienten von 17,1 ppm/K aufweist. Numerische Simulationen des Ausdehnungsverhaltens für den relevanten Temperaturbereich haben ergeben, daß die pro Bump auftretende resultierende Kraft bei einer Chipdicke < 250 µm unterhalb von 2 Newton ist.

20

Dünnen des Chips

In einer vorteilhaften Variante der Erfindung wird der Chip gedünnt, um Entlastung der elektrisch leitenden Verbindungen zu erreichen. Es ist möglich, dafür ein DBG-Verfahren (Dicing Before Grinding) einzusetzen. Dabei werden die noch nicht vereinzelter Chips im Wafer-Stadium, also vor dem Verlöten mit dem Trägersubstrat gedünnt. Zuerst wird eine Oberfläche des Wafers (hier Unterseite genannt) entlang der vorgesehenen Sägelinien angesägt oder anderweitig strukturiert. Die Tiefe der Sägespur bzw. der Strukturvertiefung ist kleiner als die Dicke des Wafers und vorzugsweise gleich groß oder etwas größer als die erzielte, nach dem Dünnen verbleibende Chipdicke. Anschließend wird das Material auf der Oberseite des Wafers teilweise abgetragen, wobei gleichzeitig die Chips auf dem angesägten und gedünnten Wafer vereinzelt werden.

Die Chips können auch nach dem Auflöten gedünnt werden, um den oben angegebenen Zweck zu erreichen. Der eine Dicke von zirka 250 μm oder mehr aufweisende Chip kann dabei bis auf eine Stärke von 50 bis 100 μm gedünnt werden. Zum Dünnen ist
5 insbesondere ein Partikelstrahl mit Aluminiumoxidpartikeln eines Durchmessers $< 50 \mu\text{m}$ geeignet. Möglich ist es auch, den Chip abzuschleifen. Vor dem Bearbeiten mit dem Partikelstrahl können mittels einer weichen Resistmaske, beispielsweise einer Fotolackmaske die Bereiche abgedeckt werden, bei denen
10 ein Abtrag verhindert werden soll. Möglich ist es jedoch auch, gleichzeitig mit dem Dünnen des Chips Bereiche des Trägersubstrats zu entfernen oder dieses gar mittels des Strahlverfahrens vollständig zu durchtrennen. In diesem Fall kann es erforderlich sein, den Chip vorher ebenfalls mit einer
15 Maske abzudecken.

In einer vorteilhaften Variante der Erfindung ist es möglich, die noch nicht vereinzelt Chips wie oben angegeben auf dem Wafer vorzudünnen und sie nach dem Auflöten weiter mit einem
20 Strahlverfahren (z. B. Sandstrahl) zu dünnen, um insbesondere Abrundung der Kanten zu erreichen, was beispielsweise beim Aufbringen einer Folienabdeckung erwünscht ist.

Figur 7 zeigt eine alternative Ausführungsform der Erfindung. Dabei wird ein als ein Lotrahmen ausgebildetes Stützelement SE auf dem Trägersubstrat vor dem Aufsetzen des Chips CH erzeugt. Dazu wird zunächst eine Metallisierung (Bezugszeichen AE) ähnlich einer Underbumpmetallisierung (UBM) auf dem Trägersubstrat an den für den Lotrahmen vorgesehenen Stellen erzeugt. Der Lotrahmen kann dann durch Aufdrucken, galvanische Verstärkung der UBM oder ebenfalls als rahmenförmiges Stück Lotfolie aufgebracht werden. Bei dieser Ausführung werden die
30 Seitenkanten des Chips so abgeschrägt, daß der Chip sich zur Oberfläche mit den (evtl. im späteren Prozeßschritt aufzutragenden) elektrisch leitenden Strukturen (genannt Chipunterseite) hin verjüngt. Dann wird er an den schrägen Seitenflächen metallisiert. Vorzugsweise erfolgt die Metallisierung
35

der Seitenflächen im gleichen Prozeßschritt wie die Erzeugung der elektrisch leitenden Strukturen und der UBM auf der Chipunterseite. Die Seitenfläche des Chips kann außerdem z. B. mit einer Ti/Cu-Schicht bedampft werden, wobei die leitenden
5 Strukturen an der Chipunterseite mit einem Fotolack geschützt werden können.

Neben den elektrisch leitenden Strukturen weist die Chipunterseite Außenelektroden AE, eine Kontaktmetallisierung KM
10 und am unteren Chiprand angeordnete isolierende nicht benetzende Strukturen IS auf. Die isolierenden Strukturen verhindern einen Kurzschluß zwischen den Außenelektroden AE und der Kontaktmetallisierung KM. Sie können aus Kunststoff oder Lötstopplack strukturiert werden oder durch Passivierung der Me-
15 tallstrukturen erzeugt werden. Bei einem ausreichend großen Abstand zwischen den Außenelektroden AE und der Kontaktmetallisierung KM kann auf die isolierende Schicht IS verzichtet werden.

20 Die Chipoberseite kann zu Abschirmzwecken zusätzlich mit einer Metallschicht versehen werden.

In diesem Ausführungsbeispiel befinden sich die elektrisch leitenden Verbindungen (Bumps) vor dem Aufsetzen des Chips
25 auf der Oberseite des Trägersubstrats TS. Der Chip kann dann so auf das Trägersubstrat aufgesetzt werden, siehe Figur 7b, daß er mit den abgeschrägten Seitenkanten über dem Lotrahmen angeordnet ist und durch die elektrisch leitenden Verbindungen (Bumps) von unten gestützt wird. Die Rahmenhöhe und die
30 Höhe der elektrisch leitenden Verbindung (Bumphöhe) werden so ausgewählt, daß durch das Kollabieren der Lötmasse bzw. der Bumps während des Verlötns der Chip in Kontakt mit dem Lotrahmen gebracht wird. Beim Verlöten kommt eine Lotverbindung des Lotrahmens zu den Kontaktmetallisierungen KM an den
35 Seitenkanten des Chips zustande (Bezugszeichen AB, SE in der Figur 7c), wobei die Lotverbindung zu einem hermetischen Abschluß zwischen dem Chip und dem Trägersubstrat dient und wo-

bei nach dem Verlöten die Abdichtung AB durch den Lotrahmen gebildet ist.

Es ist möglich, anstelle des Chips mit den schrägen Seiten-
5 flächen einen Chip zu verwenden, dessen Seitenflächen zumin-
dest eine Stufe aufweisen, so daß der Chip im Querschnitt et-
wa T-förmig ist. In diesem Fall kann die (teilweise) Metall-
sierung der Chipseitenflächen auf der Stufe und im gleichen
Prozeßschritt wie die Erzeugung der elektrisch leitenden
10 Strukturen und der UBM auf der Chipunterseite erfolgen.

In einem weiteren Ausführungsbeispiel des erfindungsgemäßen
Bauelements weist ein als Rahmen ausgebildetes Stützelement
ein Schrumpfverhalten auf, so daß der Rahmen nach einer Tem-
15 peraturbeanspruchung dicht am Chip anliegt. In diesem Fall
kann auf die weitere Abdichtung verzichtet werden und das
Bauteil kann gleich durch eine hermetisch dichte Schicht,
insbesondere eine Metallschicht (z.B. durch eine Cu-
Sputterschicht, die galvanisch verstärkt wird) verschlossen
20 werden, wobei die hermetisch dichte Schicht die Chipoberseite
und den Schrumpfrahm überdeckt und mit dem Trägersubstrat
abschließt. Der Rahmen kann einseitig mit einer lötfähigen
Schicht oder mit einer Klebeschicht versehen werden, die den
Rahmen mit dem Trägersubstrat verbindet.

25 Die Erfindung wurde nur anhand weniger wichtiger Ausführungs-
beispiele dargestellt, ist aber nicht auf diese beschränkt.
Weitere Varianten des erfindungsgemäßen Bauelements bezie-
hungsweise des Verfahrens zu seiner Herstellung liegen insbe-
30 sondere in anderen geometrischen Ausgestaltungen, anderen zu
verwendenden Materialien oder im Einsatz analoger Prozesse,
mit denen die gleichen Wirkungen erzielt werden können. We-
sentlich bleibt jedoch die Abdichtung zwischen dem Chip und
dem Stützelement oder Trägersubstrat und Vorrichtungen oder
35 Maßnahmen, mit welchen die erfindungsgemäße Entlastung der
elektrisch leitenden Verbindungen erzielt werden kann.

Mit dem erfindungsgemäßen Verfahren können vorzugsweise mehrere Chips parallel auf einem entsprechend großflächigen Trägersubstrat aufgebracht, angeschlossen und verkapselt werden. Zwischen einzelnen Chips kann anschließend das Trägersubstrat

5 durchtrennt werden, um einzelne Bauelemente oder Gruppen von miteinander zu Modulen verschalteten Bauelemente zu vereinzeln. Das Auftrennen und Vereinzeln kann mit einem Strahlprozeß oder durch Sägen erfolgen. Oberflächenschichten und insbesondere zu durchtrennende Metallisierungen können dabei

10 vorher ggf. strukturiert und dazu naßchemisch oder durch Plasmaätzen entfernt werden.

Patentansprüche

1. Bauelement, enthaltend:

- einen Chip (CH) mit elektrisch leitenden Strukturen auf
5 der Chipunterseite,
- ein Trägersubstrat (TS), welches auf der Oberfläche Anschlußflächen (AF) aufweist, wobei der Chip (CH) in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen (BU) auf dem Trägersubstrat montiert ist, und wo-
10 bei die Anschlußflächen (AF) mit den elektrisch leitenden Strukturen des Chips mittels elektrisch leitender Verbindungen (BU) elektrisch verbunden sind,
- ein Stützelement (SE) zur Entlastung der elektrisch leitenden Verbindungen, welches auf der Oberseite des Trä-
15 gersubstrats angeordnet ist und den Chip umläuft, ohne ihn zu berühren,
- eine Abdichtung (AB), welche den Chip umgibt und zumindest den Raum zwischen dem Stützelement und dem genannten Chip dicht abschließt, wobei die Abdichtung sich an
20 diesem Stützelement abstützt.

- 2. Bauelement nach Anspruch 1,
bei dem die elektrisch leitenden Verbindungen Bumps sind.

- 25 3. Bauelement nach Anspruch 1 oder 2,
bei dem die Abdichtung (AB) als dielektrische Schicht ausgebildet ist, welche zusätzlich die Chipoberseite überdeckt.

- 30 4. Bauelement nach Anspruch 3,
bei dem die dielektrische Schicht aus einer oder mehreren Schichten besteht.

5. Bauelement, enthaltend:

- einen Chip (CH) mit elektrisch leitenden Strukturen auf der Chipunterseite,
- ein Trägersubstrat (TS), welches auf der Oberfläche Anschlußflächen (AF) aufweist, wobei der Chip (CH) in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen (BU) auf dem Trägersubstrat montiert ist und wobei die Anschlußflächen (AF) mit den elektrisch leitenden Strukturen des Chips mittels elektrisch leitender Verbindungen (BU) elektrisch verbunden sind, wobei auf der Chipoberseite ein Verbund aus einer dielektrischen Schicht und einer darüber liegenden Metallschicht angeordnet ist, wobei dieser Verbund außerhalb der Chipfläche mit dem Trägersubstrat abschließt und wobei die Chipdicke so ausgewählt ist, daß die durch thermische Ausdehnung des genannten Verbundes auftretenden Kräfte im Temperaturbereich zwischen -60°C und 85°C pro eine elektrisch leitende Verbindung oder Bump maximal 2 Newton betragen.

6. Bauelement, enthaltend:

- einen Chip (CH) mit elektrisch leitenden Strukturen auf der Chipunterseite,
- ein Trägersubstrat (TS), welches auf der Oberfläche Anschlußflächen (AF) aufweist, wobei der Chip (CH) in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen (BU) auf dem Trägersubstrat montiert ist und wobei die Anschlußflächen (AF) mit den elektrisch leitenden Strukturen des Chips mittels elektrisch leitender Verbindungen (BU) elektrisch verbunden sind,
- wobei auf der Chipoberseite ein Verbund aus einer dielektrischen Schicht und einer darüber liegenden Metallschicht angeordnet ist, wobei dieser Verbund außerhalb der Chipfläche mit dem Trägersubstrat abschließt und wobei die Chipdicke so ausgewählt ist, daß die durch thermische Ausdehnung des genannten Verbundes auftretenden Kräfte im Temperaturbereich zwischen -60°C und 85°C pro eine elektrisch leitende Verbindung oder Bump maximal 2 Newton betragen.

- schicht angeordnet ist, wobei dieser Verbund außerhalb der Chipfläche mit dem Trägersubstrat abschließt und
- wobei die dielektrische Schicht ein Elastizitätsmodul kleiner als 1 GPa, eine Dicke weniger als 20 μm oder einen thermischen Ausdehnungskoeffizienten aufweist, der größer als $\alpha_{\text{Bump}}/2$ und kleiner als $2 \alpha_{\text{Bump}}$ ist, wobei α_{Bump} der thermische Ausdehnungskoeffizient der elektrisch leitenden Verbindungen (BU) ist.

10 7. Bauelement, enthaltend:

- einen Chip (CH) mit elektrisch leitenden Strukturen auf der Chipunterseite,
- ein Trägersubstrat (TS), welches auf der Oberfläche Anschlußflächen (AF) aufweist, wobei der Chip (CH) in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen (BU) auf dem Trägersubstrat montiert ist und wobei die Anschlußflächen (AF) mit den elektrisch leitenden Strukturen des Chips mittels elektrisch leitender Verbindungen (BU) elektrisch verbunden sind,
- ein auf der Oberseite des Trägersubstrats angeordnetes als Schrumpfrahmen ausgebildetes Stützelement, welcher den Chip umläuft und diesen dicht umschließt.

8. Bauelement nach Anspruch 7,

- 25 bei dem eine Metallschicht vorgesehen ist, welche die Chipoberseite und den Schrumpfrahmen bedeckt und mit dem Trägersubstrat abschließt.

9. Bauelement nach einem der Ansprüche 1 bis 8,

- 30 bei dem die Seitenflächen des Chips (CH) angeschrägt sind, so daß sich der Querschnitt des Chips zum Trägersubstrat (TS) hin verjüngt.

10. Bauelement nach einem der Ansprüche 1 bis 9,
bei dem die Seitenflächen des Chips (CH) zumindest eine
Stufe aufweisen.

5 11. Bauelement nach einem der Ansprüche 1, 2, 9 oder 10,
bei dem die Abdichtung die Randbereiche des Chips und des
ihn umschließenden Stützelementes bedeckt, wobei die Chi-
poberseite von der Abdichtung nicht bedeckt ist.

10 12. Bauelement nach einem der Ansprüche 1, 2 oder 9 bis 11,
bei dem eine auf der Chipoberseite, auf der Abdichtung
(AB) und auf an die Abdichtung angrenzenden, von dieser
unbedeckten Randbereichen des Stützelementes und/oder des
Trägersubstrats angeordnete Metallschicht (ME) vorgesehen
15 ist.

13. Bauelement nach einem der Ansprüche 3, 4, 9 oder 10,
bei dem die dielektrische Schicht (AB) den Chip (CH) zu-
sammen mit dem ihn umlaufenden Stützelement (SE) voll-
20 ständig überdeckt, wobei diese dielektrische Schicht auf
der Chipoberseite und auf dem Stützelement aufliegt und
erst außerhalb des Stützelementes mit dem Trägersubstrat
abschließt, so daß sich der Chip zusammen mit dem ihn um-
laufenden Stützelement in einem gemeinsamen Hohlraum be-
25 finden, der zwischen der dielektrischen Schicht und der
Oberseite des Trägersubstrats ausgebildet ist.

14. Bauelement nach einem der Ansprüche 3, 4, 9 oder 10,
bei dem die dielektrische Schicht (AB) die Chipoberseite
30 vollständig überdeckt und mit dem Stützelement dicht ab-
schließt, wobei das Stützelement aus einem hermetisch
dichten Material ist.

15.Bauelement nach einem der Ansprüche 3 bis 6, 9, 10, 13
oder 14,

bei dem eine Metallschicht (ME) vorgesehen ist, die zu-
mindest die dielektrischen Schicht bedeckt und mit dieser
einen Verbund bildet.

16.Bauelement nach einem der Ansprüche 3 bis 6, 9, 10 oder
13 bis 15,

bei dem eine Vergußmasse auf der dielektrischen Schicht
oder auf dem Verbund aus der dielektrischen Schicht und
der Metallschicht außerhalb des Chips aufliegt.

17.Bauelement nach Anspruch 16,

bei dem die Metallschicht außerhalb der Chipfläche mit
dem Stützelement oder außerhalb des Stützelementes mit
dem Trägersubstrat abschließt.

18.Bauelement nach Anspruch 9 oder 10,

bei dem an den dem Trägersubstrat (TS) zugewandten oder
angeschrägten Seitenflächen des Chips eine Kontaktmetal-
lisierung (KM) vorgesehen ist,
bei dem das Stützelement (SE) als Lotrahmen auf der Ober-
seite des Trägersubstrats ausgebildet ist, wobei das
Stützelement mit der Kontaktmetallisierung des Chips ver-
lötet ist und wobei die Abdichtung (AB) durch den Lotrah-
men gebildet ist.

19.Bauelement nach Anspruch 18,

bei dem die Chipoberseite mit einer Metallschicht verse-
hen ist.

20.Bauelement nach zumindest einem der Ansprüche 1, 2, 11
oder 12,

bei dem die Abdichtung aus einem dielektrischen Material
ist.

21. Bauelement nach Anspruch 20,

bei dem die Abdichtung aus einem Kunststoff, einem organischen Kunststoff, einer Laminatfolie, einem Glaslot oder einem Harz ist.

5

22. Bauelement nach einem der Ansprüche 3, 4, 9, 10, 13 bis 17,

bei dem die dielektrische Schicht aus einem Kunststoff, einem organischen Kunststoff, einer Laminatfolie, einem Glaslot oder einem Harz besteht.

10

23. Bauelement nach zumindest einem der Ansprüche 1 bis 4, 9 bis 17 oder 20 bis 22,

bei dem das Stützelement aus Metall, einem keramischen Material oder Kunststoff ist.

15

24. Bauelement nach zumindest einem der Ansprüche 1 bis 4, 9 bis 17 oder 20 bis 22,

bei dem das Stützelement die Begrenzung einer auf dem Trägersubstrat vorgesehenen Vertiefung ist.

20

25. Bauelement nach zumindest einem der Ansprüche 1 bis 4 oder 9 bis 24,

bei dem die Höhe des Stützelementes den Abstand zwischen der Oberseite des Trägersubstrats und der Chipunterkante nicht übersteigt, wobei der innere Rand des Stützelementes bis unter die zum Trägersubstrat weisende Chipkante reicht.

25

30 26. Bauelement nach zumindest einem der Ansprüche 1 bis 4, 9 bis 17 oder 20 bis 24,

bei dem die Höhe des Stützelementes gleich dem Abstand zwischen der Oberseite des Trägersubstrats und der Chipunterkante ist oder diesen Abstand übersteigt.

35

27. Bauelement nach zumindest einem der Ansprüche 1 bis 26,
bei dem das Trägersubstrat (TS) eine LTCC-Keramik - Low
Temperature Cofired Ceramic - ist.
- 5 28. Bauelement nach einem der Ansprüche 1 bis 27,
bei dem an der Unterseite des Trägersubstrats (TS) SMD
fähige Außenkontakte (AK) vorgesehen sind.
- 10 29. Bauelement nach einem der Ansprüche 1 bis 28,
bei dem das Trägersubstrat (TS) zumindest zwei dielektri-
sche Schichten umfaßt.
- 15 30. Bauelement nach einem der Ansprüche 1 bis 29,
bei dem der Chip (CH) zumindest einen mit akustischen
Oberflächenwellen oder akustischen Volumenwellen arbei-
tenden Resonator enthält.
- 20 31. Bauelement nach einem der Ansprüche 1 bis 30,
das mehrere gleiche oder verschiedene Chips umfaßt, wobei
die Chips auf dem Trägersubstrat (TS) in der gleichen
Weise befestigt und verkapselt sind.
- 25 32. Verfahren zur Herstellung eines verkapselten Bauelements,
- bei dem ein sich zur elektrisch leitende Strukturen tra-
genden Oberfläche verjüngender Chip mit angeschrägten
Seitenflächen oder ein Chip mit Seitenflächen, die zu-
mindest eine Stufe aufweisen, verwendet wird, wobei die
Seitenflächen des Chips eine Kontaktmetallisierung auf-
weisen,
- 30 - bei dem auf der Oberseite eines Trägersubstrats eine Me-
tallisierung zum Aufsetzen eines Lotrahmens vorgesehen
wird,
- bei dem der Lotrahmen auf dem Trägersubstrat erzeugt
wird,
- 35 - bei dem der Chip auf dem Trägersubstrat aufgesetzt und
mit diesem in Flip-Chip-Bauweise verlötet wird,

- bei dem der Lotrahmen mit den Kontaktmetallisierungen an den Seitenflächen des Chips verlötet wird.

33.Verfahren nach Anspruch 32,

- 5 bei dem vor dem Verlöten des Chips mit dem Lotrahmen auf den Chip zwischen der Kontaktmetallisierung der Seitenflächen und den elektrisch leitenden Strukturen isolierende nicht benetzbare Strukturen IS aufgetragen werden.

10 34.Verfahren nach Anspruch 32 oder 33,

- bei dem auf der Chipoberseite eine Metallschicht aufgetragen wird.

35.Verfahren zur Herstellung eines verkapselten Bauelements,

- 15 - bei dem ein Chip verwendet wird, welcher eine Oberfläche mit elektrisch leitenden Strukturen aufweist,
- bei dem ein Substrat verwendet wird, welcher auf der Oberseite Anschlußflächen zum Ankontaktieren des Chips und einen Rahmen mit einem Schrumpfverhalten aufweist,
- 20 - bei dem der Chip mit dem Trägersubstrat in Flip-Chip-Bauweise verlötet wird,
- bei dem der Rahmen vor dem Aufsetzen des Chips auf dem Trägersubstrat erzeugt wird,
- 25 - bei dem der Rahmen durch Temperaturbehandlung so geschrumpft wird, daß er den Chip dicht umschließt,
- bei dem eine Metallschicht erzeugt wird, welche die Chipoberseite und den Schrumpfraumen vollständig bedeckt.

36.Verfahren nach Anspruch 35,

- 30 - bei dem der Rahmen einseitig mit einer lötfähigen Schicht oder mit einer Klebeschicht versehen wird,
- bei dem der Rahmen mit dem Trägersubstrat mittels der genannten Schicht verbunden wird.

- 35 37.Verfahren zur Herstellung einer Verkapselung für ein elektrisches Bauelement mit folgenden Verfahrensschritten:

- zumindest zwei elektrisch leitende Strukturen tragende Chips (CH) werden auf einem Trägersubstrat (TS); welches auf der Oberfläche Anschlußflächen (AF) zur elektrischen Verbindung mit den elektrisch leitenden Strukturen des Chips aufweist, in Flip-Chip Anordnung mittels elektrisch leitender Verbindungen (BU) befestigt,
- die zumindest zwei Chips (CH) werden mit einer dielektrischen Schicht (AB), welche auf der Chipoberseite auf-
liegt und mit dem Trägersubstrat abschließt, überdeckt,
so daß jeder der zumindest zwei Chips auf diese Weise
individuell verkapselt wird,
- der Zwischenraum zwischen den zumindest zwei Chips wird
mit einer Vergußmasse (VM) gefüllt.

15 38.Verfahren nach Anspruch 37,

- bei dem auf der dielektrischen Schicht (AB) eine Metallschicht (ME) aufgetragen wird, die mit der dielektrischen Schicht einen Verbund bildet,
- bei dem die Vergußmasse (VM) auf dem Verbund aus der dielektrischen Schicht und der Metallschicht außerhalb des
Chips aufgetragen wird.

39.Verfahren nach Anspruch 37 oder 38,

bei dem das Trägersubstrat anschließend zersägt wird, so
daß einzelne Bauelemente entstehen, welche zumindest einen der genannten Chips umfassen.

Zusammenfassung

Verkapseltes elektronisches Bauelement und Verfahren zur Herstellung

5

Die Erfindung betrifft ein verkapseltes Bauelement, das ein Trägersubstrat und zumindest einen auf der Oberseite des Trägersubstrats angeordneten und mit diesem mittels elektrisch leitender Verbindungen elektrisch verbundenen Chip enthält.

10

Die Verkapselung des Chips wird mit einer Abdichtung oder dielektrischen Schicht erzielt. Infolge unterschiedlicher Ausdehnungskoeffizienten der Abdichtung oder dielektrischen Schicht und der elektrisch leitenden Verbindungen treten bei Temperaturwechsel Verspannungen in den elektrisch leitenden

15

Verbindungen auf, die zu Rissen, Brüchen und sogar zur Unterbrechung der elektrisch leitenden Verbindungen führen können. Zur mechanischen Entlastung der elektrisch leitenden Verbindungen von Verspannungen bei Temperaturwechsel (insbesondere bei extremen thermischen Belastungen) wird vorgeschlagen, das

20

Trägersubstrat mit einem den Chip umlaufenden Stützelement zu versehen, welches zur Abstützung der Abdichtung oder dielektrischen Schicht dient, und/oder das Material und die Anordnung der Verkapselung entsprechend zu wählen.

25

Figur 1

FIG 1

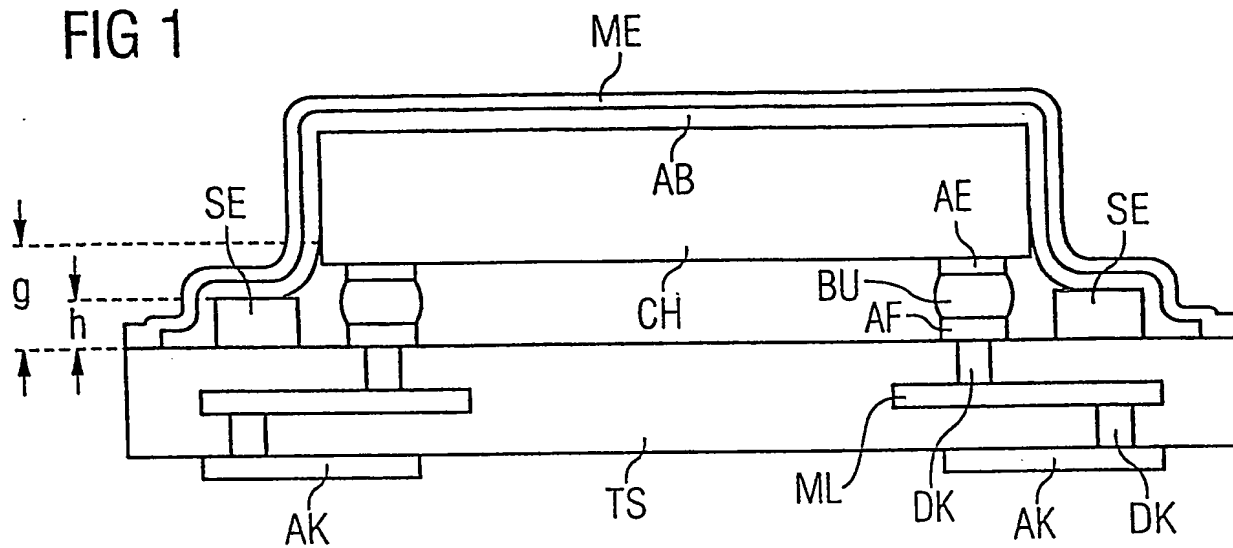


FIG 2

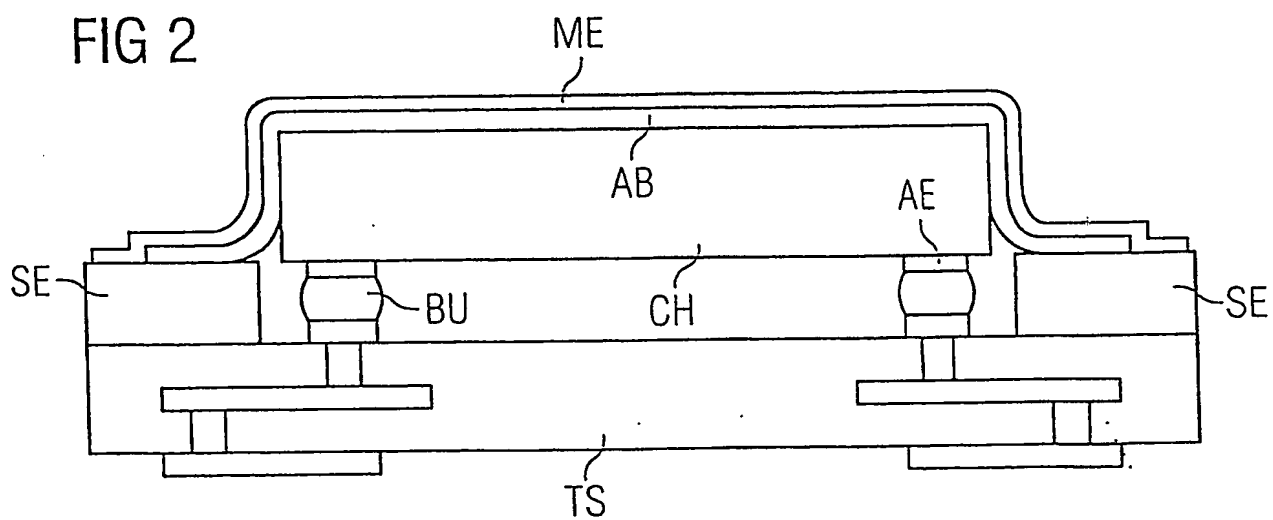


FIG 3

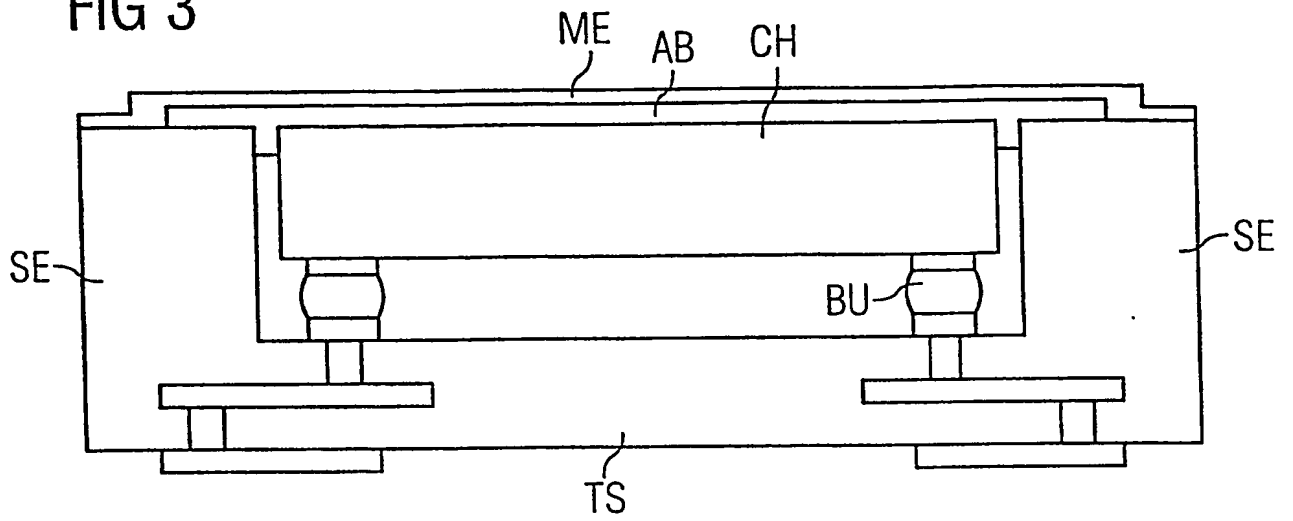


FIG 4

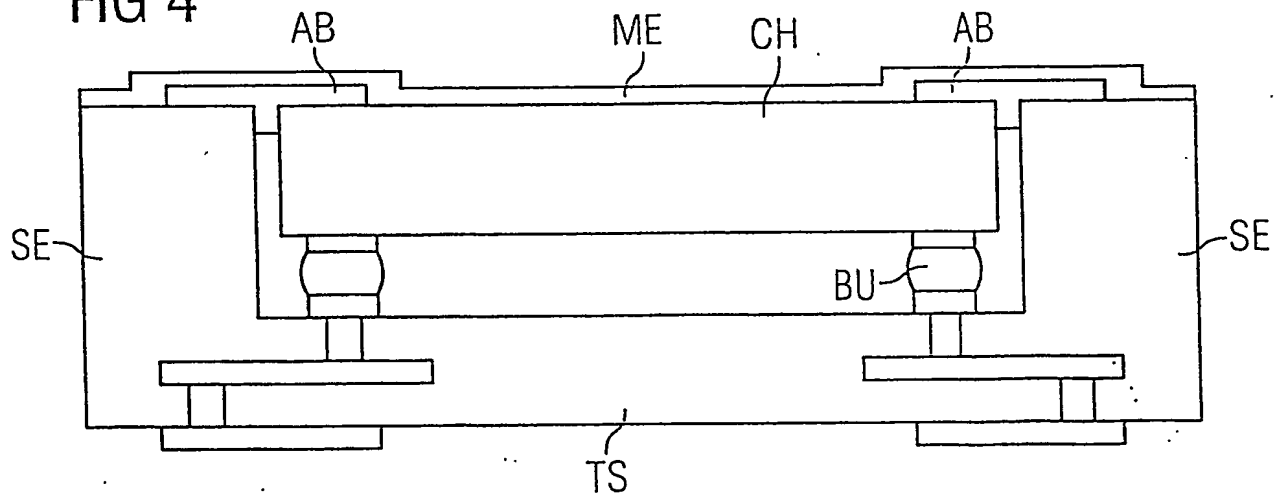


FIG 5A

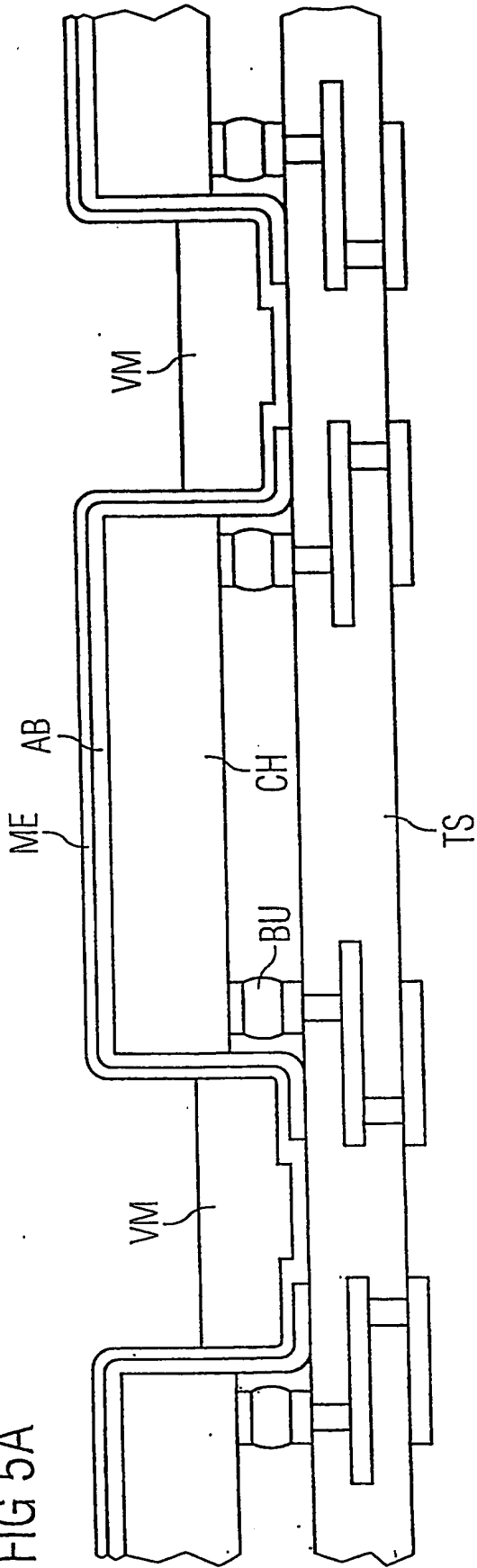


FIG 5B

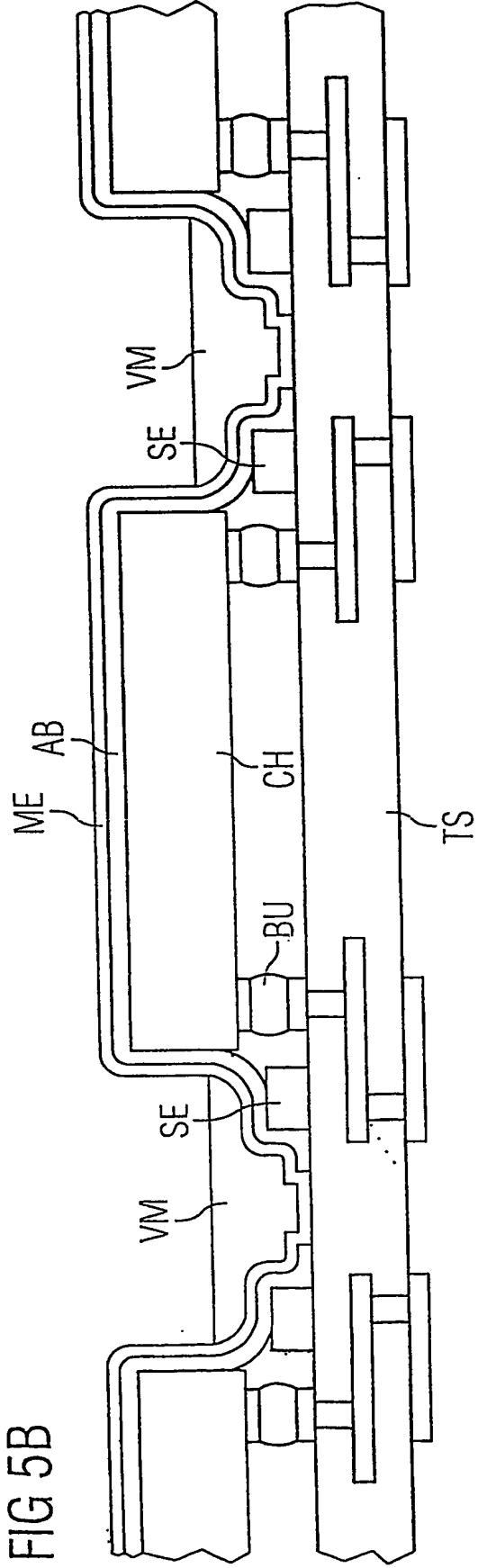


FIG 6A

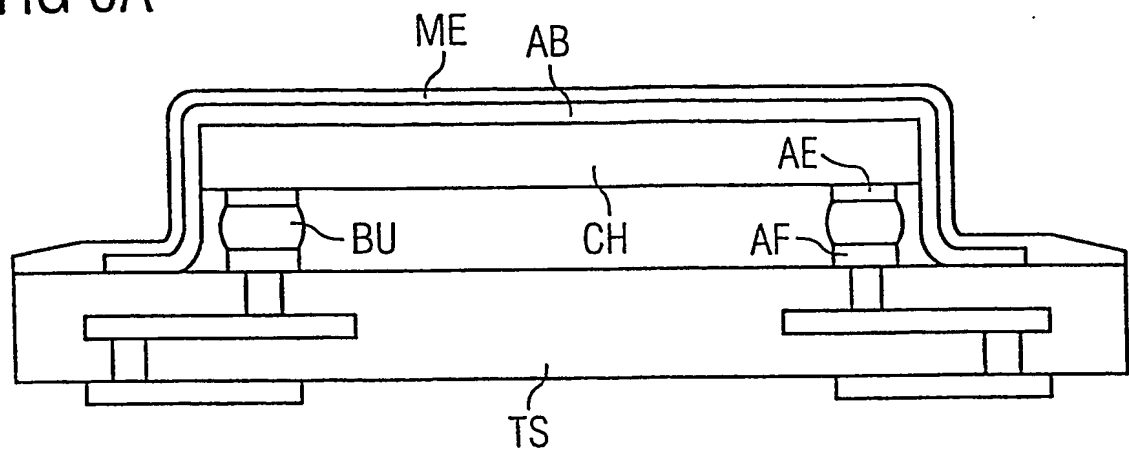
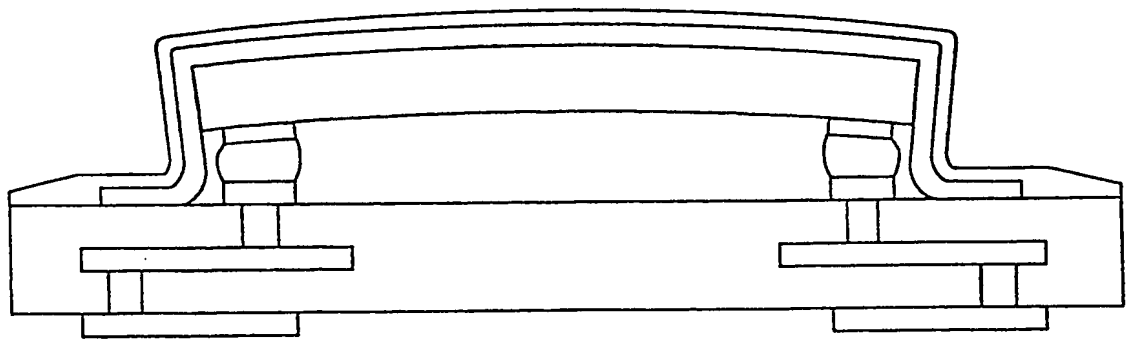


FIG 6B



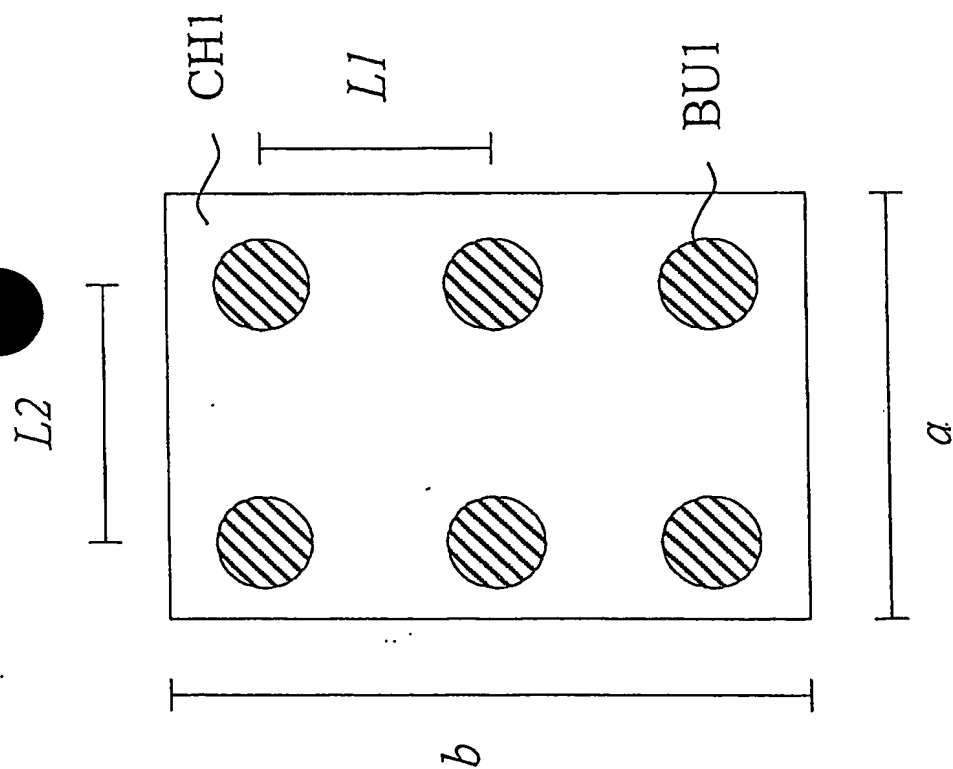


Fig. 6c

FIG 7A

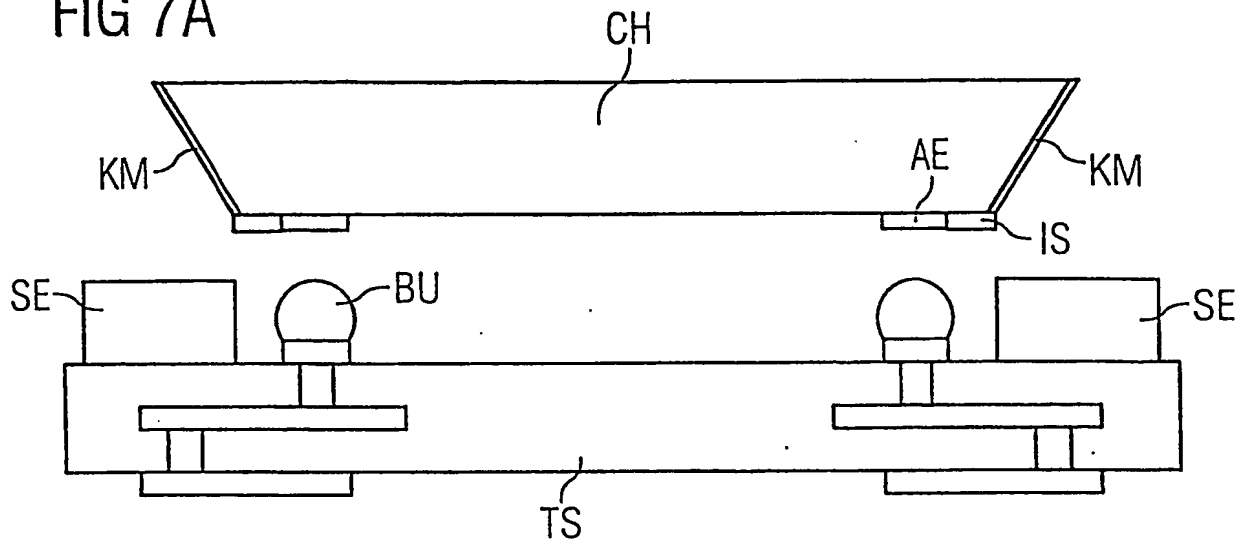


FIG 7B

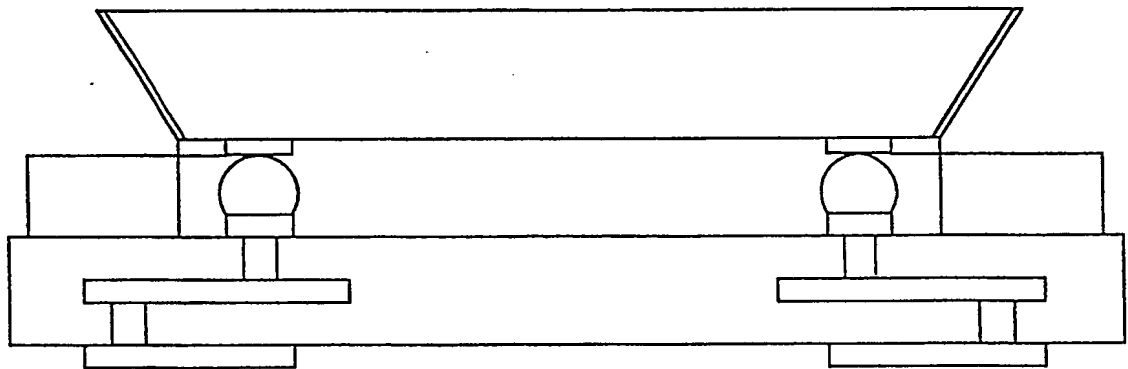


FIG 7C

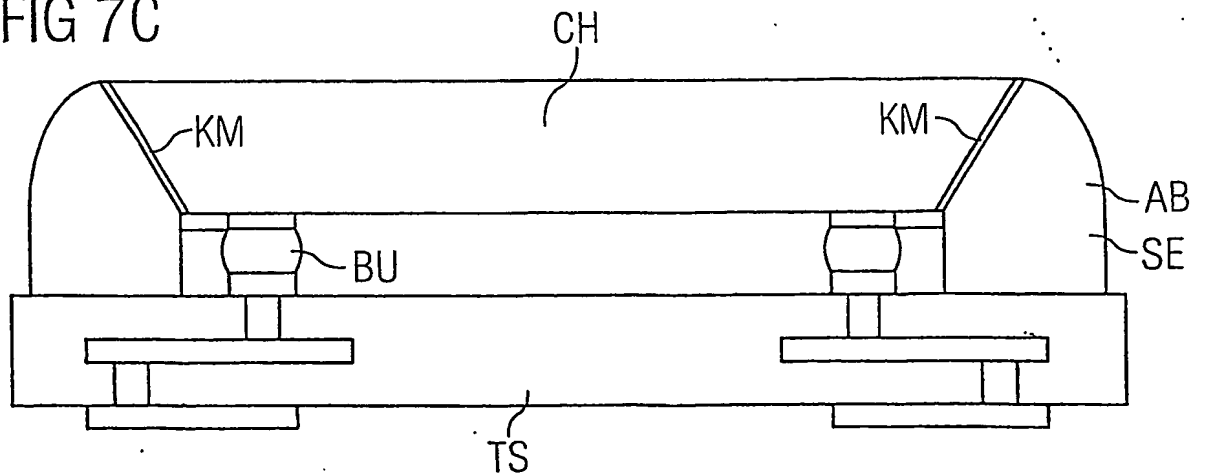


FIG 1

